

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-120219

(43)Date of publication of application : 28.04.1994

(51)Int.Cl.

H01L 21/3205

(21)Application number : 04-266966

(71)Applicant : NEC CORP

(22)Date of filing : 06.10.1992

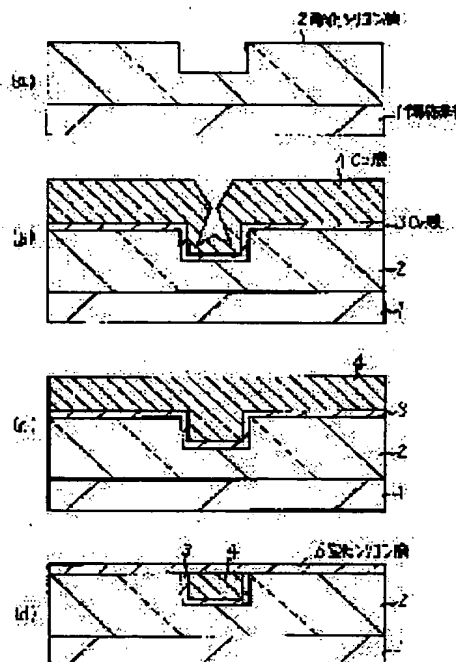
(72)Inventor : ISOBE AKIRA

## (54) FORMING METHOD OF METAL WIRING

(57)Abstract:

**PURPOSE:** To facilitate microminiaturization, and reduce the number of times of barrier film formation, by forming wiring by burying a barrier film and copper in a trench which is formed in an insulating film and has a wiring pattern.

**CONSTITUTION:** A Cr film 3 and a Cu film 4 are formed in order on the surface containing a trench which is formed in the upper surface of a silicon oxide film 2 and has a wiring pattern. The Cu film 4 is buried in the trench by laser irradiation. By a chemical-mechanical polishing method, the Cr film 3 and the Cu film 4 on the part except the inside of the trench are eliminated, and the surface is flattened. A silicon nitride film 5 is deposited on the whole surface. Copper wiring whose periphery is covered with barrier films (the Cr film 3 and the silicon nitride film 5) can be precisely formed with a small number of times of barrier film formation.



## LEGAL STATUS

[Date of request for examination] 20.12.1996

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 2970255

[Date of registration] 27.08.1999

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(51)Int.Cl. H01L 21/3205 特許庁 F I 技術表示箇所

H01L 21/88 7514-4M R C  
7514-4M

審査請求 未請求 請求項の数3(全5頁)

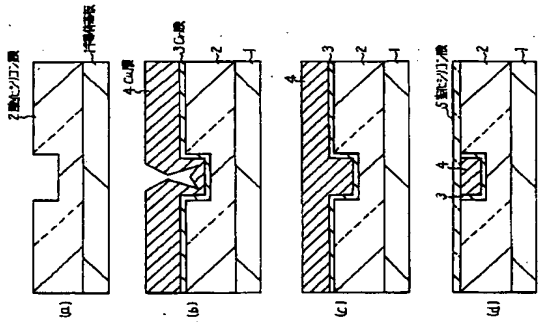
(21)出願番号 特願平4-265866 (71)出願人 000004237 日本電気株式会社  
東京都港区芝五丁目7番1号  
(72)発明者 磯部 晶 東京都港区芝五丁目7番1号日本電気株式会社  
(74)代理人 井理士 京本 直樹 (外2名)

(54)【発明の名称】 金属配線の形成方法

(57)【要約】

【目的】絶縁膜に形成した配線パターンを有する層にパリア膜及び銅を埋め込んで配線を形成することにより、微細化が容易となり、パリア膜の形成回数も削減できる。

【構成】酸化シリコン膜2の上面に形成した配線パターンを有する層を含む表面にCr膜3及びCu膜4を順次成膜し、レーザー照射によって層内部にCu膜4を埋め込み、化学機械研磨法によって層内部以外の部分のCr膜3、Cu膜4を除去し表面を平坦化する。次に、全面に酸化シリコン膜5を堆積して周囲をパリア膜(Cr膜3及び酸化シリコン膜5)で覆われた銅配線を、精度良く、また、少ないパリア膜形成回数で形成する事が出来る。



【特許請求の範囲】

【請求項1】 半導体基板上に設けた絶縁膜の上面に配線形成用パターンを有する層を形成する工程と、前記層を含む表面にパリア膜を形成して前記層の底面及び側面を被覆する工程と、前記層を含むパリア膜の表面に銅膜又は銅合金膜を堆積して前記層内に埋込む工程と、化学機械研磨法により前記層内以外の銅膜又は銅合金膜及びパリア膜を除去して表面を平坦化する工程と、前記銅膜又は銅合金膜を含む表面に銅と反応しない絶縁膜を堆積する工程とを含むことを特徴とする金属配線の形成方法。

【請求項2】 溝を含むパリア膜の表面に堆積した銅膜又は銅合金にレーザービームを照射して流動化し前記溝内に埋込む工程を含む請求項1記載の金属配線の形成方法。

【請求項3】 化学機械研磨法により溝内以外の銅膜又は銅合金膜及びパリア膜を除去して表面を平坦化した後反応性イオンエッチング又はイオンミリングにより前記銅膜又は銅合金膜の上面を薄く除去して前記溝周囲の絶縁膜の上面よりも低くする工程を含む請求項1又は請求項2記載の金属配線の形成方法。

【発明の詳細な説明】

【0001】 産業上の利用分野 本発明は金属配線の形成方法に関するし、特にL S Iの金属配線の形成方法に関する。

【0002】 従来の技術 L S Iの配線材料としてはこれまでA I系合金が広く使われてきた。ところが、配線の微細化が進むにつれ、エレクトロマイグレーションやストレスマイグレーション等に対するA I系合金の耐性の限界に近づきつつあり、より信頼性の高い配線材料の検討が盛んになってきている。

【0003】 そうしたA I配線にとって代る材料の一つの候補としてCuがある。しかし、Cu配線を実用化する上で大きな問題が二つある。一つはCuの加工が困難である事、これは、Cuのハロゲン化合物の蒸気圧が低い為、A I系合金等で用いられている反応性イオンエッチングが困難である事によっている。もう一つの問題点は、Cuは容易に酸化シリコン膜中を拡散する為、絶縁膜層や、トランジスタ層特性を劣化させる原因となることである。

【0004】 加工方法としては、(A) ウェットエッチングによる方法、(B) リフトオフ法による方法、例えば、プロシエディング・オブ・ザ・インターナショナル・VLSI・マルチレベル・インターコネクション・コングレッション(Proceeding of the international VLSI multilevel interconnection conference) 1991年、137~143頁に記載された方法、(C) イオンミリングによる方法、例えば、

プロシエディング・オブ・ザ・インターナショナル・VLSI・マルチレベル・インターコネクション・コングレッション(Proceeding of the international VLSI multilevel interconnection conference) 1991年、99~108頁に記載されている方法が、知られているが、ウェットエッチングによる方法では微細化が困難で、高集積度のL S Iには適用できない。

【0005】 図3(a)~(c)及び図4(a)、(b)はリフトオフ法を用いた従来の金属配線の形成方法の第1の例を説明するための工程順に示した半導体チップの断面図である。

【0006】 まず、図3(a)に示すように、半導体基板1の上に設けた酸化シリコン膜2の上にポリイミドレジ7を形成し、ポリイミド膜7の上に第1のフォトレジスト膜8、SOG膜9、第2のフォトレジスト膜10からなる3層レジスト膜を形成する。次に、フォトレジスト膜10を露光現像してパターンニングし、これをマスクとしてSOG膜9をパターンニングする。

【0007】 次に、図3(b)に示すように、SOG膜9をマスクとして酸素を含むドライエッチングによりフォトレジスト膜8及びポリイミド膜7を順次エッチングして配線形成用の溝を形成し、この溝に含まれる酸素ラジカルによる等方性エッチングにより、フォトレジスト膜8、10及びポリイミド膜7をSOG膜9より後退させる。

【0008】 次に、図3(c)に示すように、溝を含む表面にCr膜3、Cu膜4、Cr膜6を蒸着法により順次堆積して溝内に配線を形成する。ここで、SOG膜9がひさし状になっている為フォトレジスト膜8の側面にCr膜3、Cu膜4は付着しない。なお、Cr膜3、6はポリイミド膜7及び半導体基板1とCu膜4の反応を防ぐためのバリアメタルである。

【0009】 次に、図4(a)に示すように、3層レジスト膜を剥離除去する事により、3層レジスト膜上に堆積したCu膜4及びCr膜3、6が除去され、溝内の配線が残る。このままでは配線側面とポリイミド膜の反応が起まるので全面にプラズマCVD法により酸化シリコン膜5を形成し、さらにその上にポリイミド膜11を堆積して周囲絶縁膜を形成する。

【0010】 図5(a)~(d)はイオンミリング法を用いた従来の金属配線の形成方法の第2の例を説明するための工程順に示した半導体チップの断面図である。

【0011】 まず、図5(a)に示すように、半導体基板1の上に設けた酸化シリコン膜2の上にMo膜12、Cu膜4、Mo膜13を順次堆積し、Mo膜13の上にフォトレジスト膜14を塗布してパターンニングする。ここでMo膜12、13はバリアメタルである。

【0012】 次に、図5(b)に示すように、イオンミ

リングによりフोटレジスト膜14をマスクとしてMo膜13、Cu膜4、Mo膜12を順次エッチングし、配線を形成する。

【0013】次に、図5(c)に示すように、フोटレジスト膜14を除去した後、全面にMo膜15を成膜する。

【0014】次に、図5(d)に示すように、異方性の反応性イオンエッチングによりエッチバックして、配線の側面以外のMo膜15を除去し、Mo膜12、13、15で被覆されたCu配線が得られる。

【0015】  
【発明が解決しようとする課題】以上説明した従来の金属配線形成方法は、リフトオフ法を用いる第1の例では微細な配線を形成しようとする、溝の幅が狭くなり、レジスト膜をマスクとする溝内部へのCu膜の付着量が少なくなり、所望の精度の配線幅、配線形状を得る事が困難になってくる。また、リフトオフ時にレジスト膜上のCu膜がパーティクルの原因となりやすいという問題点もある。更に、基板やポリイミド膜との反応を防止する為のバリア膜を3回にわたって形成するので、工程が長くなるという問題点を有する。

【0016】また、イオンミリング法を用いる第2の例では、レジスト膜の退却により台形状の断面形状となる為、微細化が難しい。また、やはり3回にわたってバリア膜を形成する必要があり、工程が長くなるという問題点を有する。

【0017】  
【課題を解決するための手段】本発明の金属配線の形成方法は、半導体基板上に設けた絶縁膜の上面に絶縁形成用パターンを有する溝を形成する工程と、前記溝を含む表面にバリア膜を形成して前記溝の底面及び側面を被覆する工程と、前記溝を含むバリア膜の上面に銅膜又は銅合金膜を堆積して前記溝内に埋込む工程と、化学機械研磨法により前記溝内以外の銅膜又は銅合金膜及びバリア膜を除去して表面を平坦化する工程と、前記銅膜又は銅合金膜を含む表面に銅と反応しない絶縁膜を堆積する工程とを含んで構成される。

【0018】  
【実施例】次に、本発明の実施例について図面を参照して説明する。

【0019】図1(a)～(d)は本発明の第1の実施例を説明するための工程順に示した半導体チップの断面図である。

【0020】まず、図1(a)に示すように、半導体基板上に酸化シリコン膜2を形成した後、酸化シリコン膜2の表面にリソグラフィ技術及びエッチング技術を用いて、深さ0.5μmの配線形成用パターンを有する溝を形成する。

【0021】次に、図1(b)に示すように、溝を含む酸化シリコン膜2の上にスパッタ法により厚さ0.1μm

mのCr膜3及び厚さ0.7μmのCu膜4を順次堆積して形成する。  
【0022】次に、図1(c)に示すように、Cu膜4の表面を約1.5J/cm<sup>2</sup>のエネルギーを持つエキシマレーザービームで照射し、Cu膜4を流動せしめ、溝の内部に埋め込み表面を平坦化する。

【0023】次に、図1(d)に示すように、Cu膜4の上面を化学機械研磨法により研磨し、溝部以外のCu膜4及びCr膜3を順次除去して酸化シリコン膜2の上面を露出させ、表面を平坦化する。次に、プラズマCVD法により酸化シリコン膜5を0.3μmの厚さに成膜する。

【0024】ここで、Cu膜4の代りにTiを含むCu合金膜を用いても良い。

【0025】図2(a)～(d)は本発明の第2の実施例を説明するための工程順に示した半導体チップの断面図である。

【0026】図2(a)に示すように、第1の実施例と同様の工程で半導体基板1の上に設けた酸化シリコン膜2の上面に、深さ0.5μmの配線形成用パターンを有する溝を設けた後スパッタ法によりCr膜3及びCu膜4を順次堆積して形成する。次に、Cu膜4の上面をエキシマレーザービームで照射し、Cu膜を流動せしめて溝内部に埋め込んだ後、化学機械研磨法により研磨し、溝部以外のCu膜4及びCr膜3を除去して表面を平坦化する。

【0027】次に、図2(b)に示すように、イオンミリングにより溝内部のCu膜4及びCr膜3の表面が酸化シリコン膜2の表面より0.1μm低くなるようにエッチングする。

【0028】次に、図2(c)に示すように、全面に厚さ0.1μmのCr膜6をスパッタ法により成膜する。

【0029】次に、図2(d)に示すように、再び上面を化学機械研磨法により研磨して溝部以外のCr膜6を除去する。

【0030】第2の実施例では図1(c)に誘電率の高い酸化シリコン膜を用いる事無く銅配線をバリア膜で覆う事が出来るので、層間容量に起因するデバイスの動作速度の低下が問題とならない。

【0031】ここで、銅の成膜、埋め込み方法として、スパッタ法とレーザー熱処理による方法を用いて説明したが、プラズマCVD法や電鍮法を用いても、同様な工程を繰り返す事によりバリア膜で覆われた加工精度の良い銅配線を得る事が出来る。

【0032】

【発明の効果】以上説明したように本発明では、絶縁膜に形成した溝を含む表面にCu膜を堆積した後溝内以外のCu膜を化学機械研磨により除去し、溝内にCu膜を埋め込む事により配線を形成している為、ドライエッチングの困難なCu膜自身をエッチングする工程を無く

して、加工精度良く銅配線を形成する事が出来、配線の微細化にも対応できるという効果を有する。また、これまでは、下層、上層、側面と少なくとも3回必要であったバリア膜の形成が2回で済むので工程が短縮され、製造コストが下がるといふ利点もある。

【図面の簡単な説明】

【図1】本発明の第1の実施例を説明するための工程順に示した断面図。

【図2】本発明の第2の実施例を説明するための工程順に示した断面図。

【図3】従来の金属配線の形成方法の第1の例を説明するための工程順に示した断面図。

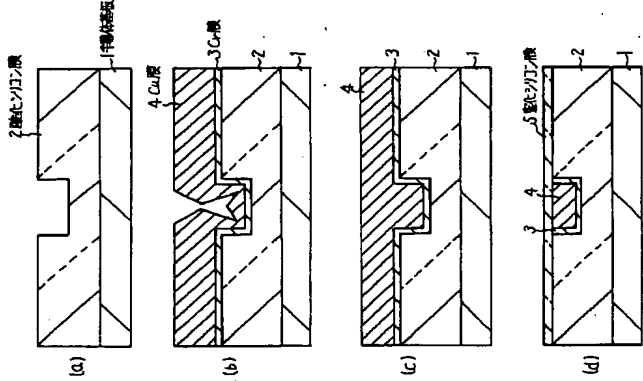
【図4】従来の金属配線の形成方法の第1の例を説明す

るための工程順に示した断面図。  
【図5】従来の金属配線の形成方法の第2の例を説明するための工程順に示した断面図。

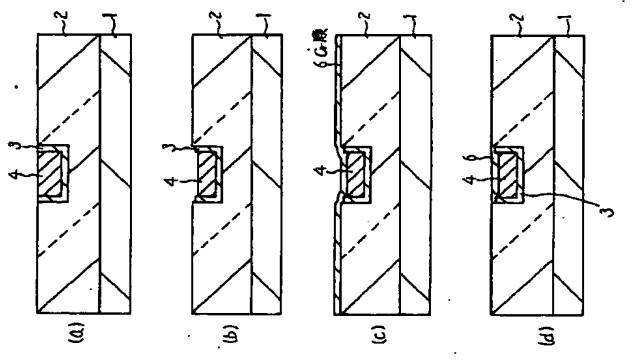
【符号の説明】

- 1 半導体基板
- 2 酸化シリコン膜
- 3, 6 Cr膜
- 4 Cu膜
- 5 酸化シリコン膜
- 7, 11 ポリイミド膜
- 8, 10, 14 フोटレジスト膜
- 9 SOG膜
- 1, 2, 13, 15 Mo膜

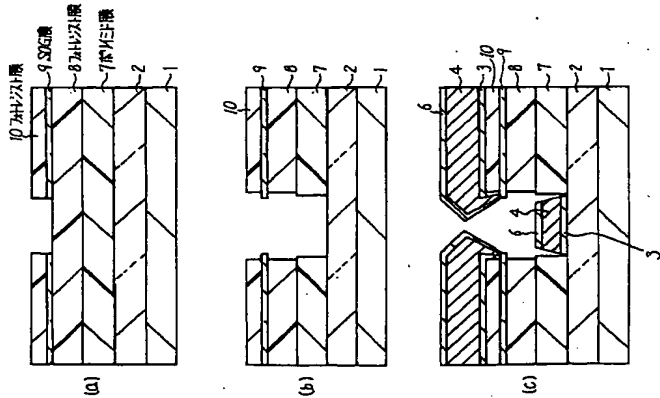
【図1】



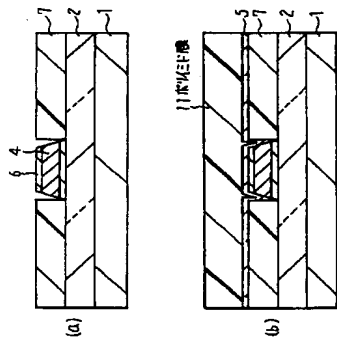
【図2】



【図3】



【図4】



【図5】

